

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07261155 A**(43) Date of publication of application: **13.10.95**

(51) Int. Cl.

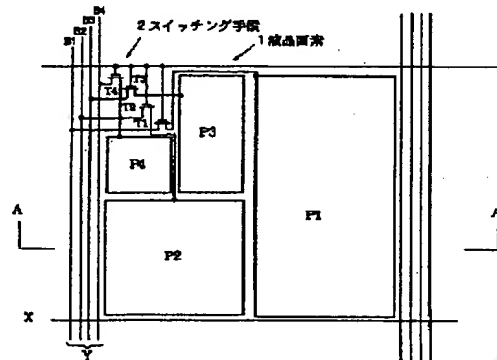
G02F 1/133**G02F 1/133****G02F 1/136****G09G 3/36**(21) Application number: **06079413**(71) Applicant: **SONY CORP**(22) Date of filing: **24.03.94**(72) Inventor: **YOSHINE HIROYUKI**(54) **ACTIVE MATRIX LIQUID CRYSTAL DISPLAY
ELEMENT**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To obtain a desired gradation expression by directly driving an active matrix liquid crystal display element by digital image signals.

CONSTITUTION: This active matrix liquid crystal display element has liquid crystal pixels 1 arranged in matrix, gate lines X for line sequentially selecting the respective rows of these liquid crystal pixels and individual switching elements 2 for writing gradation signals to the selected liquid crystal pixels 1. The respective liquid crystal pixels consist of the sets of the divided pixels P1 to P4 segmented by serial area ratios. The switching elements 2 supply the gradation signals consisting of plural bit digit components B1 to B4 to the corresponding liquid crystal pixels 1. The switching elements 2 consist of the sets of the switching elements T1 to T4 disposed in correspondence to the respective divided pixels P1 to P4 and make the desired gradation display by distributing the pit digit components B1 to B4 to the respective divided pixels P1 to P4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-261155

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/133	5 7 5		
		5 5 0		
	1/136	5 0 0		
G 0 9 G	3/36			

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平6-79413

(22) 出願日 平成6年(1994)3月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 芳根 裕之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

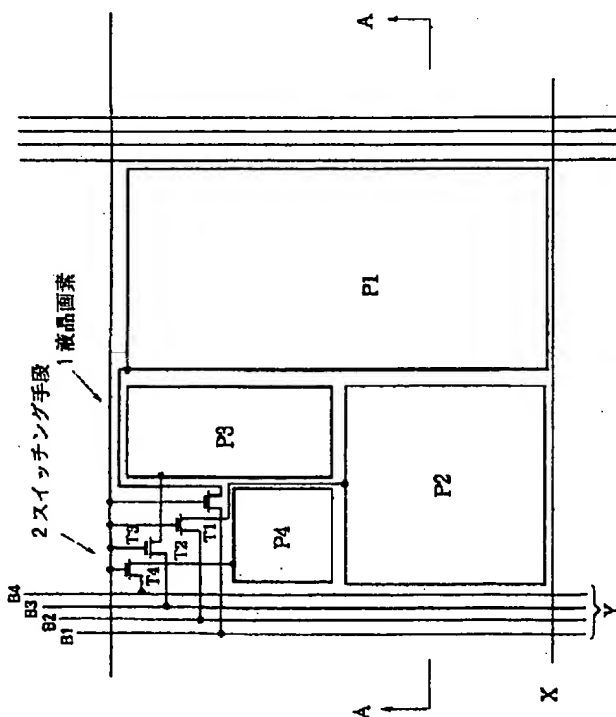
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 アクティブマトリクス液晶表示素子

(57) 【要約】

【目的】 アクティブマトリクス液晶表示素子をデジタル画像信号で直接駆動し所望の階調表現を得る。

【構成】 アクティブマトリクス液晶表示素子は行列配置した液晶画素1と、液晶画素の各行を線順次で選択するゲートラインXと、選択された液晶画素1に階調信号を書き込む個々のスイッチング手段2とを備えている。各液晶画素1は級数的な面積比で細分化された分割画素P1～P4の集合からなる。スイッチング手段2は複数のビット桁成分B1～B4からなる階調信号を対応する液晶画素1に供給する。このスイッチング手段2は分割画素P1～P4の各々に対応して設けられたスイッチング素子T1～T4の集合からなり、面積比に従って各分割画素P1～P4にビット桁成分B1～B4を分配して所望の階調表示を行なう。



【特許請求の範囲】

【請求項 1】 行列配置した液晶画素と、液晶画素の各行を線順次で選択する走査手段と、選択された液晶画素に階調信号を書き込む個々のスイッチング手段とを備えたアクティブマトリクス液晶表示素子であって、各液晶画素は級数的な面積比で細分化された分割画素の集合からなり、各スイッチング手段は複数のビット桁成分からなる階調信号を対応する液晶画素に供給し且つ面積比に従って各分割画素にビット桁成分を分配して所望の階調表示を行なう事を特徴とするアクティブマトリクス液晶表示素子。

【請求項 2】 前記スイッチング手段は分割画素の各々に対応して設けられたスイッチング素子の集合からなる事を特徴とする請求項 1 記載のアクティブマトリクス液晶表示素子。

【請求項 3】 各液晶画素は対向電極と画素電極と両者に保持された液晶とを有し、画素電極を細分化して分割画素の集合を形成する事を特徴とする請求項 1 記載のアクティブマトリクス液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス液晶表示素子に関する。より詳しくは、その階調表示技術に関する。

【0002】

【従来の技術】 図 4 を参照して従来のアクティブマトリクス液晶表示素子の構成を簡潔に説明する。図示する様に、アクティブマトリクス液晶表示素子是一对のガラス基板 51、52 を互に対向配置させ、その間に液晶 53 を封入したフラットパネル構成となっている。一方のガラス基板 51 には格子状に配置した信号ライン 54 とゲートライン 55 及びこれらの交点に配置したスイッチング素子 56 と画素電極 57 が形成されている。このスイッチング素子 56 は薄膜トランジスタからなり、ゲートライン 55 を介して線順次選択されるとともに、信号ライン 54 から供給されるアナログ画像信号を対応する画素電極 57 に書き込む。一方、上側のガラス基板 52 の内表面には対向電極 58 及びカラーフィルタ 59 とが形成されている。カラーフィルタ 59 は各画素電極 57 に対応した R (赤)、G (緑)、B (青) のセグメントに分割されている。このような構成を有するアクティブマトリクス液晶表示素子を 2 枚の偏光板 60、61 で挟み、白色光を入射させると所望の階調が付されたフルカラー画像表示が得られる。

【0003】

【発明が解決しようとする課題】 図 5 はアナログ画像信号の信号電圧と液晶表示素子の透過率との関係を示すグラフである。この例はノーマリホホワイトモードを表わしており、信号電圧が 0 の状態では白色表示が得られ、信

号電圧の上昇とともに透過率が低下し、飽和状態では黒色表示となる。信号電圧のレベルに応じて所望の階調表示 (中間調表示) が得られる。例えば、信号電圧が V1 の時は透過率 (画素濃度) が D1 と比較的高く、信号電圧が V2 に上昇すると透過率は D2 まで低下する。この様に、従来アナログ画像信号の信号電圧 (振幅) を変調して階調表示を行なっていた。しかしながら、アナログ画像信号の振幅は外乱等により変動しやすく、信号ノイズが画面に現われ表示品位の低下をもたらすという課題があった。

【0004】 アクティブマトリクス液晶表示素子をテレビの受像機等に用いる場合、元のアナログビデオ信号を一旦復調した後アクティブマトリクス液晶表示素子の駆動に適したアナログ RGB 画像信号に変換する。復調の過程ではデジタル画像処理等も行なわれる為、アナログビデオ信号は一旦デジタル信号に変換される。一方、アクティブマトリクス液晶表示素子はアナログ画像信号により駆動される為、デジタル信号は再び D/A 変換された後アクティブマトリクス液晶表示素子に供給される。この様に従来の方式では A/D コンバータや D/A コンバータが必要となり、部品点数の増大化を招いていたという課題がある。

【0005】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明はデジタル画像信号を用いて直接アクティブマトリクス液晶表示素子の駆動を可能とする階調表示構成を提供する事を目的とする。かかる目的を達成する為以下に以下の手段を講じた。即ち、本発明にかかるアクティブマトリクス液晶表示素子は基本的な構成として、行列配置した液晶画素と、液晶画素の各行を線順次で選択する走査手段と、選択された液晶画素に階調信号を書き込む個々のスイッチング手段とを備えている。本発明の特徴事項として、各液晶画素は級数的な面積比で細分化された分割画素の集合からなる。又、各スイッチング手段は複数のビット桁成分からなる階調信号 (デジタル画像信号) を対応する液晶画素に供給し、且つ面積比に従って各分割画素にビット桁成分を分配して所望の階調表示を行なう。好ましくは、前記スイッチング手段は分割画素の各々に対応して設けられたスイッチング素子の集合からなる。又、各液晶画素は対向電極と画素電極と両者に保持された液晶とからなり、画素電極を細分化して分割画素の集合を形成している。

【0006】

【作用】 本発明によれば、アクティブマトリクス液晶表示素子の各液晶画素がさらに異なった面積の分割画素に細分化されており、デジタル画像信号により個々の分割画素毎に透過率を変える事が可能である。各分割画素に同一レベルの信号電圧を印加した場合、個々の面積に比例して画素全体として見た場合の濃度が変化する。これにより所望の階調表示が得られる。換言すると、本発明

は個々の液晶画素を細分化しデジタル画像信号により直接画素単位で面積階調表現を可能とするものである。

【0007】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかるアクティブマトリクス液晶表示素子の好適な実施例を示す模式的な回路図である。図示する様に、本液晶表示素子は行方向に沿って延設されたゲートラインXを有している。又これと直交して列方向に沿って延設された信号ラインYを有している。ゲートラインXには線順次で所定のゲート信号が印加される。一方信号ラインYにはデジタル画像信号である階調信号が供給される。この階調信号は複数のビット桁成分(B1, B2, B3, B4)からなる。本例では図示を容易にする為、階調信号は4ビット構成であり $2^4 = 16$ レベルの階調付けを行なう事ができる。但し、実際には8ビット構成の階調信号が主流であり、 $2^8 = 256$ 階調が実現できる。

【0008】各ゲートラインXと信号ラインYの交差部には液晶画素1が設けられており、全体として行列配置したマトリクス画素アレイが構成される。液晶画素1の各行は前述したゲートラインXを介してゲート信号により線順次で選択される。個々の液晶画素1に対応してスイッチング手段2が設けられている。このスイッチング手段2は選択された液晶画素1に階調信号を書き込む為のものである。

【0009】本発明の特徴事項として、液晶画素1は級数的な面積比で細分化された分割画素の集合からなる。図示の例では、液晶画素1が4つに細分化されており、第1の分割画素P1は液晶画素1の開口面積の半分を占めている。第2の分割画素P2は第1の分割画素P1に対し半分の面積を有している。第3の分割画素P3は第2の分割画素P2に対して半分の面積を有している。第4の分割画素P4は第3の分割画素P3に対して半分の面積を有している。この様に、各分割画素は2のべき乗に従って等比級数的な面積比を有している。これは、デジタル画像信号を構成するビット桁成分に対応したものである。例えば、第1の分割画素P1は最上位ビット桁

(MSB)に対応しており、第4の分割画素P4は最下位ビット桁(LSB)に対応している。一方スイッチング手段2は分割画素の各々に対応して設けられたスイッチング素子の集合からなり、本例では第1の分割画素P1に対応して第1のスイッチング素子T1が設けられ、第2の分割画素P2に対応して第2のスイッチング素子T2が設けられ、第3の分割画素P3に対して第3のスイッチング素子T3が設けられ、第4の分割画素P4に対して第4のスイッチング素子T4が設けられている。本例では各スイッチング素子は薄膜トランジスタからなる。第1のスイッチング素子T1を構成する薄膜トランジスタのソース電極は信号ラインYの第1ビットB1が割り当てられた信号線に接続され、ドレイン電極は対応

する分割画素P1に接続され、ゲート電極はゲートラインXに接続されている。スイッチング素子T1が導通すると階調信号の第1ビット桁成分B1が分割画素P1に書き込まれる。以下同様に、第2スイッチング素子T2を構成する薄膜トランジスタは、導通状態になると階調信号の第2ビット桁成分B2を対応する分割画素P2に書き込む。第3のスイッチング素子T3を構成する薄膜トランジスタも同様に導通状態になると、階調信号の第3ビット桁成分B3を対応する第3の分割画素P3に転送する。第4のスイッチング素子T4を構成する薄膜トランジスタも導通状態になると階調信号の第4ビット桁成分B4を対応する第4の分割画素P4に書き込む。

【0010】図2は、図1に示したアクティブマトリクス液晶表示素子のA-A線に沿って切断した断面構造を表わしている。図示する様に、アクティブマトリクス液晶表示素子は所定の間隙を介して一对のガラス基板3a, 3bを互いに接合したフラットパネル構造を有しており、間隙内には液晶LCが封入充填されている。下側のガラス基板3aの内表面には画素電極4が形成されており、分割画素P1, P2に対応して細分化されている。さらに信号ラインYも形成されており、本例では多層配線構造となっている。この信号ラインYは互いに絶縁膜を介して重ねられた4層の配線を有しており、各々割り当てられたビット桁成分を供給する。一方上側のガラス基板3bの内表面には対向電極5が全面的に形成されている。さらに、個々の液晶画素の境界に沿ってブラックマスク6もパタニング形成されている。細分化された画素電極4の一片と対向電極5との間に挟持された液晶LCにより分割画素P1が構成される。細分化された画素電極4の他の一片と対向電極5との間に挟持された液晶LCにより第2の分割画素P2が構成される。なお、図示しないが第3及び第4の分割画素P3, P4についても同様に、細分化された画素電極4と対向電極5との間に設けられる。

【0011】最後に図3を参照して、本発明にかかるアクティブマトリクス液晶表示素子の動作を詳細に説明する。図示の例では、1個の液晶画素がP1~P8まで8個の分割画素に細分化されている。一方、階調信号はB1~B8まで8個のビット桁成分からなり、256レベルの階調を個々の液晶画素毎に実現する事ができる。本発明は面積階調の原理に従っており、第1ビットB1に対応する第1分割画素P1は全画素面積の半分に相当する面積を有している。以下、P2からP8まで1/2の面積比で細分化されている。最後の第8分割画素P8は第1分割画素P1に対して1/128の面積比となっている。(A)に示す様に、階調信号の8個のビット桁成分が全て0の場合には、全分割画素P1~P8が非点灯状態である。ノーマリホワイトモードの場合には、液晶画素が白色表示になる。(B)に示した状態では、階調信号の第1ビット桁成分B1が値1を有し、残りのビッ

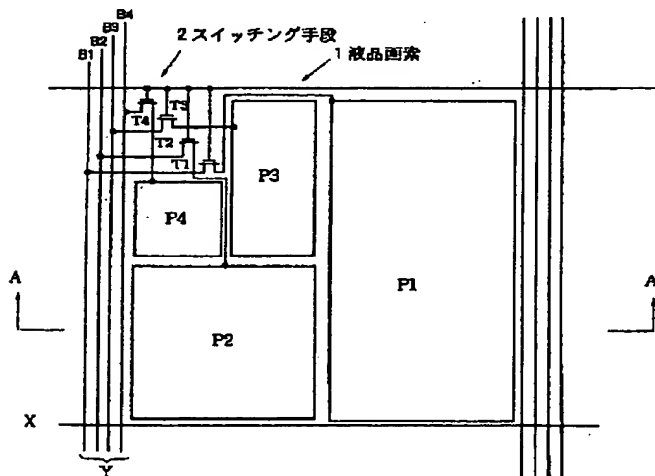
ト桁成分B2～B8が値0を有している。従って、第1ビット桁成分B1に対応する第1分割画素P1が点灯され黒色表示になる。液晶画素全体として見ると半分の面積が黒色化した事になる。従って液晶画素単位で見ると、丁度中間レベルの灰色表示が得られる事になる。

(C) に示した例では、第1ビット桁成分B1に加え第2ビット桁成分B2も値1を有している。この為、対応する第2分割画素P2も点灯され黒色表示となる。液晶画素単位で見ると、全面積の3/4が黒色化した事になり、より濃い灰色表示が得られる。この様に、階調信号を構成するビット桁成分の値に応じて、各分割画素の点灯/消灯の組み合わせが256通り変化し、所望の画素濃度が得られる事になる。

【0012】

【発明の効果】以上説明した様に、本発明によれば、アクティブマトリクス液晶表示素子の各液晶画素は級数的な面積比で細分化された分割画素の集合からなる一方、スイッチング素子は面積比に従って各分割画素に階調信号のビット桁成分を分配し所望の階調表示を行なう。この様に、本発明では面積階調の原理に従って個々の液晶画素毎に表示濃度を変化させている。各分割画素に書き込まれる信号電圧は0、1のデジタルデータに対応している為、ノイズ等の影響を受け難くなり表示品位が改善できるという効果がある。又、デジタル画像信号で直接アクティブマトリクス液晶表示素子を駆動する事ができ、周辺回路要素の部品点数を削減する事ができるとい

【図1】



う効果がある。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス液晶表示素子の一例を示す模式図である。

【図2】図1に示したA-A線に沿って切断した断面図である。

【図3】本発明にかかるアクティブマトリクス液晶表示素子の動作説明に供する模式図である。

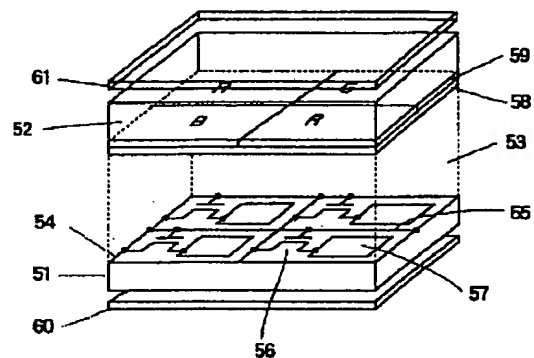
【図4】従来のアクティブマトリクス液晶表示素子の一般的な構成を示す斜視図である。

【図5】アクティブマトリクス液晶表示素子の透過率と信号電圧との関係を示すグラフである。

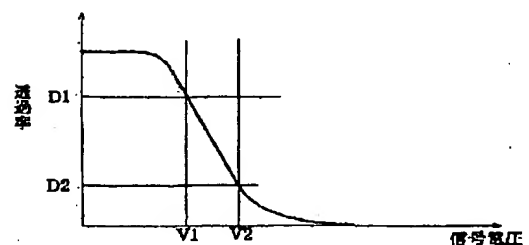
【符号の説明】

- | | |
|---------|----------|
| 1 | 液晶画素 |
| 2 | スイッチング手段 |
| 3 a | ガラス基板 |
| 3 b | ガラス基板 |
| 4 | 画素電極 |
| L C | 液晶 |
| 5 | 対向電極 |
| 6 | ブラックマスク |
| P 1～P 4 | 分割画素 |
| T 1～T 4 | スイッチング素子 |
| B 1～B 4 | ビット桁成分 |
| X | ゲートライン |
| Y | 信号ライン |

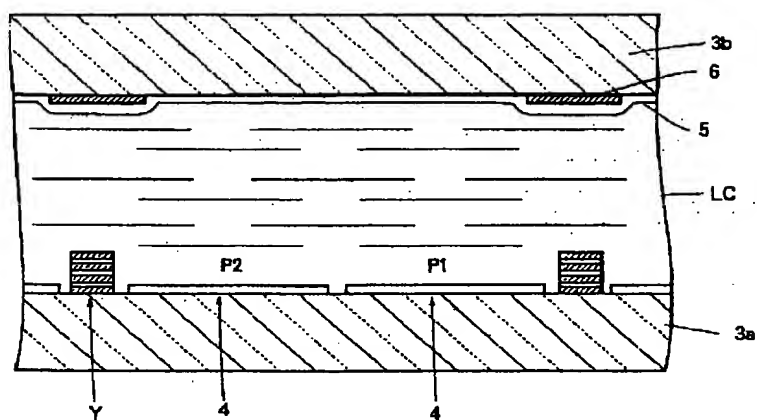
【図4】



【図5】



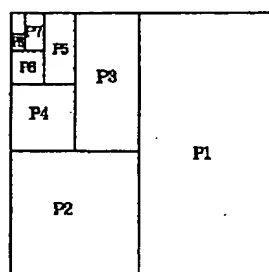
【図 2】



【図 3】

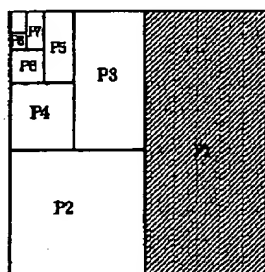
(A)

(B1,B2,B3,B4,B5,B6,B7,B8)
0 0 0 0 0 0 0 0



(B)

(B1,B2,B3,B4,B5,B6,B7,B8)
1 0 0 0 0 0 0 0



(C)

(B1,B2,B3,B4,B5,B6,B7,B8)
1 1 0 0 0 0 0 0

